

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-189632

⑬ Int. Cl.⁴

G 02 F 1/133
H 01 L 27/12
29/78

識別記号

3 2 7

3 1 1

庁内整理番号

7370-2H

7514-5F

X-7925-5F 審査請求 未請求 請求項の数 1 (全7頁)

⑭ 公開 平成1年(1989)7月28日

⑮ 発明の名称 薄膜トランジスタ

⑯ 特 願 昭63-15185

⑰ 出 願 昭63(1988)1月26日

⑱ 発 明 者 馬 場 久 也

東京都八王子市石川町2951番地の5 カシオ計算機株式会社
八王子研究所内

⑲ 出 願 人 カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

⑳ 代 理 人 弁理士 阪本 紀康

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

絶縁性基板上に順次積層形成したゲート電極、ゲート絶縁膜、半導体膜と、前記半導体膜の両端及びその周辺を覆うソース電極及びドレイン電極と、これらゲート電極、ゲート絶縁膜、半導体膜、ソース電極、ドレイン電極を被覆する第2の絶縁膜と、この第2の絶縁膜の上方の前記ゲート電極と対向する位置に設けられ、前記ゲート電極、ソース電極、ドレイン電極とは異なる他の電極とを具備したことを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、薄膜トランジスタに関する。

(従来技術及びその問題点)

液晶テレビ等に使用される液晶表示装置としては、高コントラスト及び高時分割駆動が要求されるため、アクティブマトリクス形を用いることが

提案されている。このアクティブマトリクス形の液晶表示装置は、画素となる透明電極及びこの透明電極に接続されたスイッチング素子をマトリクス状に多数配列した基板と、この基板に配列された複数の透明電極に対向する他方の透明電極を設けた対向基板と、及びこれらの基板間に封入された液晶として備えている。そして、前記スイッチング素子として、薄膜トランジスタを用いることが提案されている。

第5図に上述した従来の薄膜トランジスタ1(以後、TFT1と記述する)の断面図を示す。同図に示すTFT1は逆スタガ形の薄膜トランジスタであり絶縁性基板2上にゲート電極3、ゲート絶縁膜4、半導体膜5が順次積層形成され、この半導体膜5上のチャネル領域6を除く両端にドレイン電極7とソース電極8が形成されて、これらによってトランジスタ領域を有している。そして、チャネル領域6を保護して電気的特性を安定させるために、前記ドレイン電極7、チャネル領域6、ソース電極8を被覆する2酸化シリコンの

保護膜 9 が形成されている。

ところで、以上の如く構成された T F T 1 はゲート電極 3 に電圧を印加することにより前述したスイッチング素子として以下の様に動作する。ゲート電極 3 に正の電圧 V_g を印加しない場合には半導体膜 5 内の電子の移動はほとんどなく、ドレイン電極 7 とソース電極 8 間に電圧を印加してもドレイン電極 7 とソース電極 8 間（チャンネル領域 6）にはほとんど電流が流れない。しかし、ゲート電極 3 に正の電圧 V_g を印加するとゲート絶縁膜 4 と半導体膜 5 の界面付近に電子が誘起され、ドレイン電極 7 とソース電極 8 間に印加された電圧により生じる電界により、チャンネル領域 6 を介してドレイン電極 7 とソース電極 8 間にドレイン電流 I_d が流れる。

このように T F T 1 のドレイン電流 I_d は、ゲート電圧 V_g によって制御されるので、前述したアクティブマトリクス型の液晶表示装置のスイッチング素子として用いることができる。ところで、ゲート電極 3 に正のゲート電圧 V_g を印加するこ

とによって半導体膜 5 とゲート絶縁膜 4 の界面付近に誘起される電子の面密度 n は、ゲート絶縁膜 4 の静電容量を C_i とすれば、

$$n = C_i \cdot V_g / q \quad (1.1)$$

となる（ q は単位電荷）。

また、ゲート絶縁膜 4 の静電容量 C_i は、ゲート絶縁膜の比誘電率を ϵ とゲート絶縁膜 4 の厚さ d とすれば、

$$C_i = \frac{\epsilon_0 \cdot \epsilon}{d} \quad (1.2)$$

となるので（ ϵ_0 は真空の誘電率）、ゲート絶縁膜 4 に同一の物質を用い、同一の製造工程で同一構造の T F T を製造した場合、それらの T F T の静電容量 C_i は等しくなるはずであり、したがって、全ての T F T について $V_g - I_d$ 特性は一致するはずであるが、実際に複数製造した T F T の $V_g - I_d$ 特性は同一にはならない。

第 6 図に、実際に同一の製造工程で製造した複数の T F T について、その $V_g - I_d$ 特性を測定した結果を示す。

- 3 -

尚、同図において、縦軸をドレイン電流 I_d として単位はアンペア（A）で示し、横軸をゲート電圧 V_g として単位はボルト（V）で示す。

同図において実線で示した曲線 a は、ゲート絶縁膜として用いた物質の比誘電率や予め定めたゲート絶縁膜の厚さ等に基づく設計上の $V_g - I_d$ 特性の曲線である。そして、この曲線 a で示される T F T と同じ値に定めた比誘電率やゲート絶縁膜の厚さを基に同一の工程において製造される全ての T F T の $V_g - I_d$ 特性は、曲線 a と同じになるはずである。しかし、実際に製造された複数の T F T についてその $V_g - I_d$ 特性を測定してみると、各 T F T の $V_g - I_d$ 特性曲線は、曲線 a と一致しない場合が多く、曲線 a に対しゲート電圧軸 V_g に沿って左右にシフトした曲線になる。すなわち、第 6 図において破線で示す曲線 a の左側に示される曲線 b や曲線 a の右側に示される曲線 c のように各々独自の $V_g - I_d$ 特性を示す。このように製造される T F T の $V_g - I_d$ 特性が同一の特性を示さない原因として、例えばゲート

- 4 -

絶縁膜 4 または保護膜 9 に存在する固定電荷の影響が考えられている。

例えば、ゲート絶縁膜 4 または保護膜 9 内に正の固定電荷が存在する場合、T F T の $V_g - I_d$ 特性は曲線 a の左側にある曲線 b のような曲線になり、逆にゲート絶縁膜 4 または保護膜 9 内に負の固定電荷が存在する場合にはその $V_g - I_d$ 特性は曲線 a の右側にある曲線 c のような曲線になることが知られている。

このように製造される T F T の $V_g - I_d$ 特性が各 T F T によって異なってしまうために T F T をスイッチング素子として用いた場合、各 T F T によって閾値電圧が異なる。

例えば、第 6 図に示すように I_d が 10 p A 以上流れる場合を T F T の導通状態（オン）とみなし、そのオンとなる最小のゲート電圧 V_g を閾値電圧 V_{th} に設定した場合、 $V_g - I_d$ 特性が曲線 a、b、c で示される T F T の閾値電圧 V_{th} は、それぞれ $V_{th,a}$ 、 $V_{th,b}$ 、 $V_{th,c}$ となる。

このように同一製造工程で製造しても、各 T F

- 5 -

- 6 -

Tの V_{th} 。特性が一致しないためTFTをスイッチング素子に用いたアクティブマトリクス形の液晶表示パネルを同一製造工程で量産した場合、各液晶表示パネルによってTFTの閾値電圧が異なり、同一のゲート電圧により駆動した場合、光の透過率が各液晶表示パネルによって異なってしまう。例えばTFTの設計において、ゲート絶縁膜の厚さ、比誘電率等を定めることによって得られる設計上の V_{th} 。特性が第6図に示す曲線aであるとしTFTを駆動するためのゲート電圧 V_g の値はその曲線aを基にして、最適なオン電流とオフ電流が得られる値に設定する。しかし、実際に製造された液晶表示パネルのTFTの V_{th} 。特性が曲線aの左方向へシフトした場合TFTの遮断時のオフ抵抗 R_{off} が小さくなるために、非走査期間時のリーク電流が大きくなる。このため、非走査期間中に画素キャパシタに蓄積されている電荷が放電して行き液晶に加わる印加電圧が徐々に低下する。このため明となる画素がしだいに暗くなり画面のコントラストが悪くなる。

また逆にTFTの V_{th} 。特性が曲線aの右方向にシフトした場合には、TFTの導通時のオン抵抗 R_{on} が大きくなり、走査期間時に画素キャパシタに充電される信号電荷の量が少なくなるので液晶に加わる電圧が十分な値とならず光の透過率が小さくなって画面のコントラストが悪くなる(画面全体が暗くなる)。

このように同一製造工程で製造しても各液晶表示パネルのTFTの V_{th} 。特性が、一致しないので、これらのTFTを例えば液晶テレビの液晶表示パネルに用いた場合、その液晶表示パネルのコントラストが部分的に異なってしまう。また、これらのTFTを用いた複数の液晶表示パネル同士を比較した場合、各々の液晶表示パネルのコントラストが異なるので、同一のコントラストの液晶表示パネルを製造することはできない。

(発明の目的)

本発明は上記従来の問題点に鑑み、電気的特性が変更可能な薄膜トランジスタを提供することを目的とする。

- 7 -

(発明の要点)

本発明は上記目的を達成するために、半導体層の上方にゲート絶縁膜とは異なる第2の絶縁膜を介してゲート電極、ソース電極、ドレイン電極以外の他の電極を形成したことを要点とする。

(実施例)

以下、本発明の実施例について図面を参照しながら説明する。第1図は本発明の実施例である液晶表示パネルのスイッチング素子用のTFT10の断面図である。同図を参照しながらTFT10の構成を説明すると、まずガラス等から成る透明な絶縁性基板11上に、クロム(Cr)、モリブデン(Mo)、チタン(Ti)、アルミニウム(Al)等から成るゲート電極22が形成され、そのゲート電極22を被覆して窒化シリコン(SiN)、酸化シリコン(SiO₂)等から成るゲート絶縁膜23が形成されている。このゲート絶縁膜23上にはアモルファスシリコン、多結晶シリコン等から成る半導体膜24が形成されており、この半導体膜24のチャネル領域25以外

- 8 -

の上部及びその近辺にはアルミニウム(Al)、金(Au)等から成るドレイン電極26、ソース電極27が形成されている。以上のように形成されたゲート電極22、ゲート絶縁膜23、半導体膜24、ドレイン電極26、ソース電極27はトランジスタ領域20を構成している。

また、ゲート絶縁膜23上にはITO(Indium Tin Oxide)等から成る透明な画素電極14が形成されておりその画素電極14の一端はトランジスタ領域20のソース電極27に被覆されている。さらに、トランジスタ領域20及び画素電極14上を覆って酸化シリコン(SiO₂)等から成る第2の絶縁膜13が形成されている。そして、この第2の絶縁膜13上のゲート電極22と対向する位置にアルミニウム(Al)や遮光性の金属から成る第4の電極28が形成されている。

以上のように構成されたTFT10の動作を第2図を参照しながら説明する。

第2図は、本発明のTFT10の V_{th} 。特性図であり、縦軸がドレイン電流 I_d 。(単位はア

- 9 -

- 10 -

ンペア(A))、横軸はゲート電圧 V_g 。(単位はボルト(V))となっている。第2図において比誘電率やゲート絶縁膜の厚さを予め定めた値に基づいて製造されたTF-Tの電気的特性すなわち $V_g - I_d$ 特性を曲線aで示す。すると、同一工程で製造されるTF-Tの $V_g - I_d$ 特性は曲線aと一致するはずである。しかしながら、実際に製造されるTF-T10の $V_g - I_d$ 特性は前述したゲート絶縁膜または保護膜に存在する固定電荷の影響により製造されるTF-T10によって曲線aと一致せず、曲線bあるいは曲線cのような特性を示す。

本実施例では、ゲート電極22と第4の電極28とに電圧を印加することによりTF-T10の閾値電圧 V_{th} を変化させることが可能となっている。

すなわち第4の電極28の印加電圧を V_4 、ゲート電極22の印加電圧を V_g とし、電圧 V_4 と V_g との電位差を V_{g4} とした場合、正のバイアス電圧 V_{g4} をゲート電極22と第4の電極28の間

に印加することによりTF-T10の半導体膜24に電界が印加され、その $V_{g4} - I_d$ 特性の曲線をTF-T10の閾値電圧 V_{th} の値が大きくなる方向あるいは、値の小さくなる方向にシフトすることができる。例えば、正のバイアス電圧 V_{g4} を印加すれば閾値電圧の値の大きくなる方向に、負のバイアス電圧 V_{g4} を印加すれば値の小さくなる方向にシフトする。このバイアス電圧 V_{g4} の値は、製造された複数のTF-T全ての $V_g - I_d$ 特性を測定し、設計上の $V_g - I_d$ 特性の閾値電圧値を基準にして、全てのTF-Tについてその基準となる閾値電圧値からの変位を求めることにより決まる。そして、その変位に対応した適切なバイアス電圧 V_{g4} を印加することにより製造される各TF-Tの $V_g - I_d$ 特性を一致させることができる。従って、製造される全てのTF-Tにおいて、同じ電気的特性を持たせることができる。

次に以上のように構成されたTF-T10をスイッチング素子に用いたアクティブマトリクス形の液晶表示パネルについて、第3図、第4図を用い

- 11 -

て説明する。

第3図に示すようにTF-Tパネルは複数のTF-Tがマトリクス状に配列されている。各々のTF-Tは前述した第1図のTF-Tの積層構造と同様に形成されており、第3図のA-A'線で切断した断面形状は前述した第1図に示されている断面形状と同様である。

これらTF-Tが配列されたTF-Tパネルの絶縁性基板11の端には、図示していない駆動用のLSIからの信号配線とボンディングするためのゲート入力端子41a、ドレイン入力端子42a、第4の電極入力端子43aが形成されており、ゲート入力端子41aに接続されたゲート電極22とドレイン入力端子42aに接続されたドレイン電極26がマトリクス状に形成されている。また、ゲート端子41a及びゲート電極22は絶縁基板11上を等間隔に形成され、ドレイン端子42a及びドレイン電極26も絶縁基板11上を等間隔で形成されている。更に第4の電極28はゲート電極22の上方にこのゲート電極22と同一の幅

- 13 -

- 12 -

で形成されている。そして、ゲート電極22とドレイン電極26の交差する箇所には前記TF-T10が形成されている。すなわちその交差箇所には、絶縁基板11上にゲート電極22が形成されており、このゲート電極22の上方にゲート絶縁膜23を介して半導体膜24が矩形状に形成されている(第4図参照)。そして、この矩形状に形成された半導体膜24の長辺方形の片側の縁上に沿ってドレイン電極26が形成されており、更にその半導体膜24の反対側の縁上に沿ってソース電極27が形成されている。そして、このソース電極の一部は画像電極14に接続されている。

更に、上述したゲート絶縁膜13、半導体膜24、ソース電極27、ドレイン電極26、画素電極14を被覆して第2の絶縁膜13が形成されており、この第2の絶縁膜13上には第4の電極28が形成されている。

以上のように構成された液晶表示パネル40を複数製造した場合、スイッチング素子であるTF-T10の閾値電圧が異なるために、同一のゲート

- 14 -

電圧で駆動すると各液晶表示パネルの画素のコントラストが違ふ。しかし、本実施例のTFTを用いることにより、液晶表示パネル同士のコントラストを同じにすることができる。

すなわち、製造された液晶表示パネル毎について個々の液晶表示パネルに用いられる全てのTFTの V_{th} 特性を測定し、それら V_{th} 特性を平均化した時の閾値電圧を算出する。そしてパネル毎に得られた閾値電圧を一致するように個々のパネルの第4の電極入力端子43aから正又は負の所定のバイアス電圧 V_b を加えて、調整する。前述したように、正のバイアス電圧 V_b を加えることにより、閾値電圧を値の大きい方向にシフトさせることができ、負のバイアス電圧 V_b を加えることにより閾値電圧を値の小さい方向にシフトさせることができる。したがって、液晶表示パネル同士のコントラストの調整が可能となる。

尚、第4の電極入力端子43aは全てのTFTに共通接続されているが、走査線単位毎に接続す

るようにすれば、行または列毎のTFTの閾値電圧を微調整することも可能であり、この場合、更にきめ細かく液晶表示パネルのコントラストを調整できる。また、第4の電極28に遮光性を有する不透明な金属を用いれば、遮光膜としての効果を得られ、特に半導体膜24として光電流が流れやすいアモルファスシリコンを用いた場合、照明光の入射によるTFT10のオフ抵抗の低下を防止することができる。また、走査選択時にゲート電極22にゲート電圧 V_g を印加すると同時に、第4の電極28からも所定電圧を印加するようにすれば、TFT10のオン電流を従来よりも約2倍程度まで増加させることが可能になり、このためスイッチング速度（オフからオンへの立ち上がり）も速くすることができる。

尚、本発明は上記実施例の逆スタガ形のTFTに限定されることなくコプラナ形、逆コプラナ形、スタガ形等のTFTにも適用できる。

〔発明の効果〕

以上説明したように本発明によれば、電圧が供

- 15 -

給される第4電極を半導体膜をはさんで、ゲート電極と対向する位置に形成し、この第4の電極によって電界が半導体に印加されるのでTFTの電気的特性を制御することができる。

4. 図面の簡単な説明

第1図は本発明のTFTの断面図、

第2図は本発明のTFTの電気的特性を示した図、

第3図は本発明のTFTをスイッチング素子に用いたTFTパネルの部分平面図、

第4図は第2図のB-B'線で切断した断面図、

第5図は従来のTFTの断面図、

第6図は上記従来のTFTの電気的特性を示す図である。

13・・・第2の絶縁膜、

22・・・ゲート電極、

23・・・ゲート絶縁膜、

24・・・半導体膜、

26・・・ドレイン電極、

27・・・ソース電極、

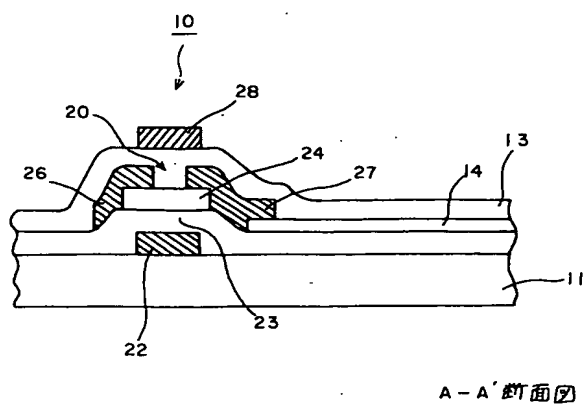
17 -

- 16 -

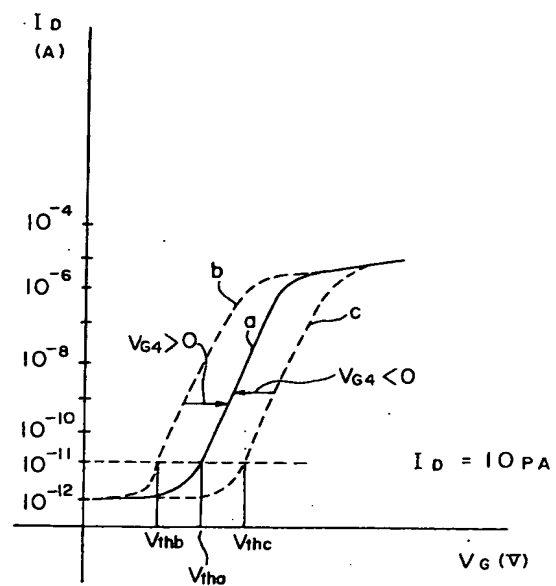
28・・・第4の電極。

特許出願人 カシオ計算機株式会社

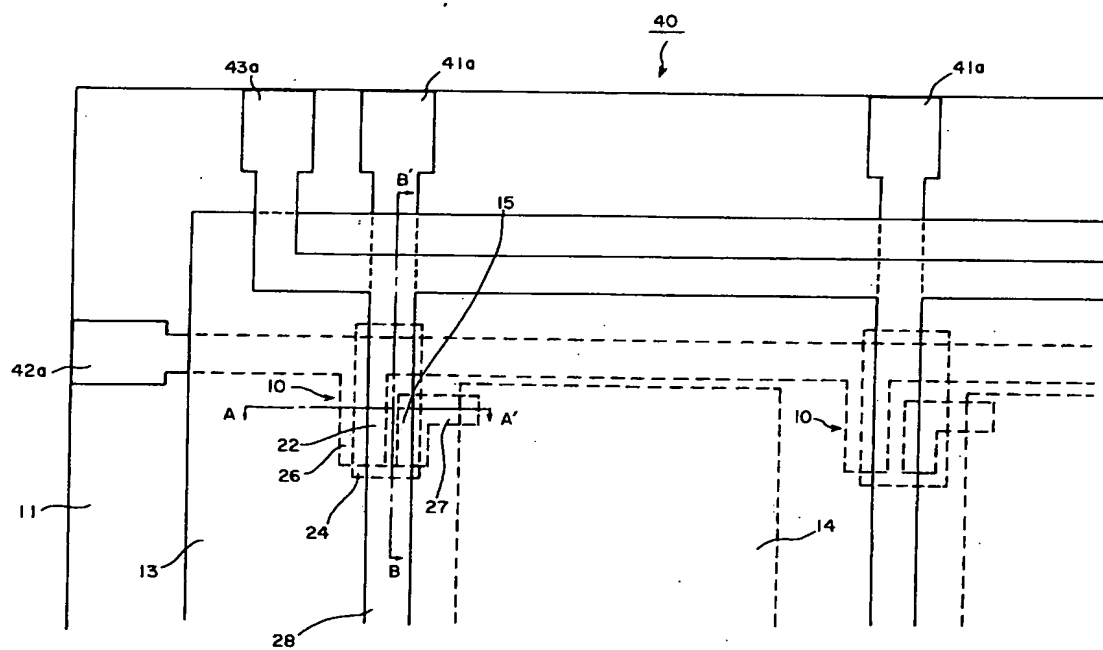
- 18 -



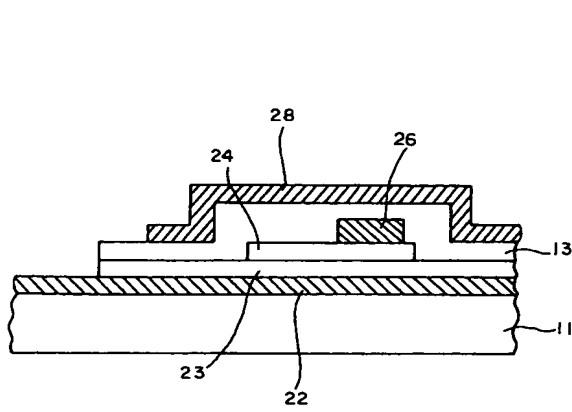
第 1 圖



第 2 図

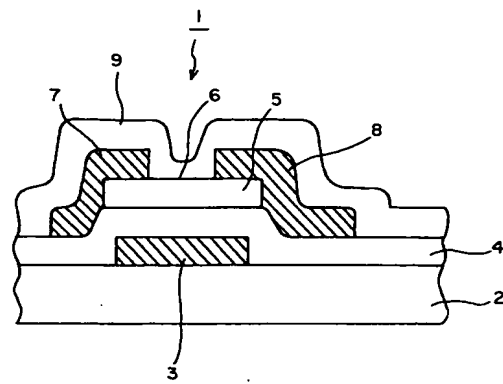


第 3 図

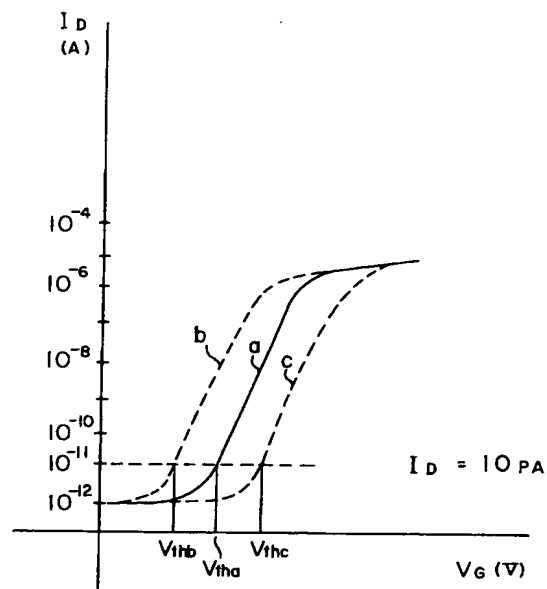


B-B' 断面図

第 4 図



第 5 図



第 6 図